



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11111855 A

(43) Date of publication of application: 23 . 04 . 99

(51) Int. Cl

H01L 21/8234**H01L 27/088****H01L 21/266****H01L 21/027**

(21) Application number: 09265583

(71) Applicant: NEC CORP

(22) Date of filing: 30 . 09 . 97

(72) Inventor: HIGUCHI MINORU

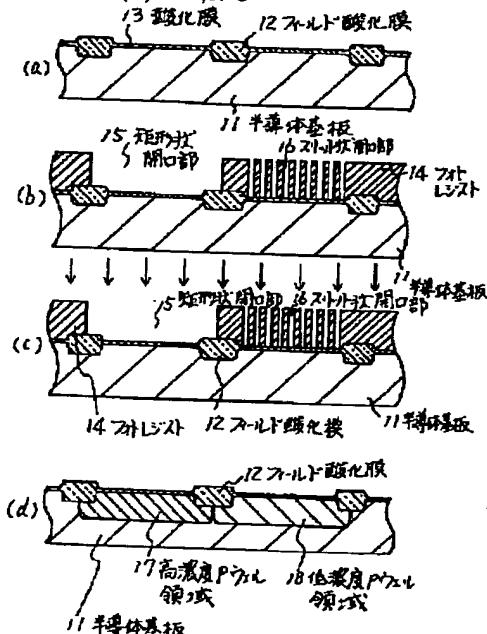
(54) PHOTOMASK AND MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To form a well region with different substrate concentrations by one ion implantation, by forming a pattern in a first translucent region and a second translucent region which is smaller than the first translucent region.

SOLUTION: A field oxide film 12 is formed on a semiconductor board 11, and an oxide film 13 is formed by thermal oxidation. Then, photoresist 14 which becomes a mask for ion implantation is applied, the photoresist 14 is opened to a specified size, a rectangular opening part 15 is provided, and a plurality of small slit-like opening parts 16 wherein partial opening of the photoresist 14 is regularly repeated is also provided. Then, boron is implanted, the photoresist 14 is peeled and boron is subjected to heat treatment for forming a region having different substrate concentrations of a high concentration P-well region 17 as a first translucent region and a low concentration P-well region 18 as a second translucent region.





特開平11-111855

(43)公開日 平成11年(1999)4月23日

(51)Int.C1.⁶
 H01L 21/8234
 27/088
 21/266
 21/027

識別記号

F I
 H01L 27/08 102 A
 21/265 M
 21/30 502 P

(21)出願番号 特願平9-265583
 (22)出願日 平成9年(1997)9月30日

審査請求 有 請求項の数 6 O L (全6頁)

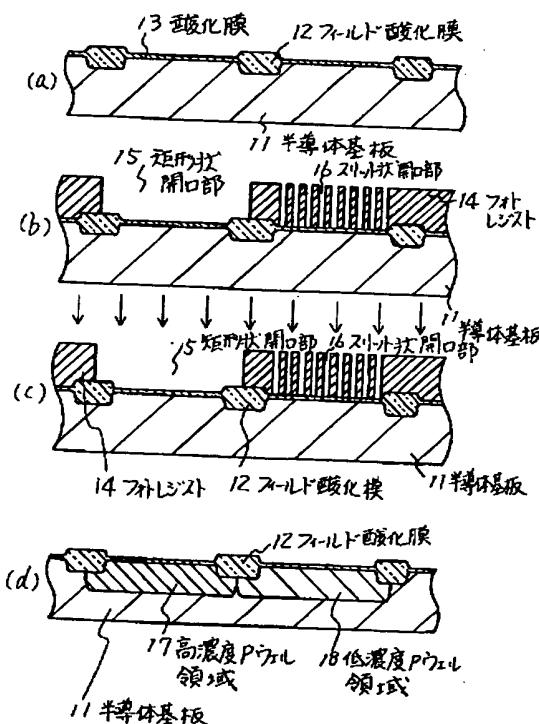
(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 樋口 実
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】フォトマスク及び半導体装置の製造方法

(57)【要約】

【課題】従来、半導体基板にしきい値の異なるMOSトランジスタを形成しようとすると、半導体基板の異なる領域に異なる基板濃度を実現するために、それぞれの異なる領域ごとに、それぞれ別の工程で別のフォトマスクを用いてイオン注入していた為に、製造工程が長く、コスト高となっていた。

【解決手段】イオン注入面積が大きく異なるマスクパターンを有するフォトマスク1を用いて、高濃度Pウェル領域17となる領域にはフォトレジスト14のない開口部15を、低濃度Pウェル領域18となる領域にはスリット状にフォトレジストの残った開口部16を設け、イオン注入することにより、工程短縮、チップのコスト低減が図れる。



【特許請求の範囲】

【請求項1】マスク板面上に、所定の大きさの開口部となる第1光透過領域と、この第1光透過領域よりも小さい光透過領域で、開口部が規則的に繰り返される小さい複数の開口部から成る第2光透過領域とのパターンを有することを特徴とするフォトマスク。

【請求項2】前記第2光透過領域が、前記マスク板面上において、平行に所定周期で繰り返されるスリット状開口部である請求項1記載のフォトマスク。

【請求項3】前記第2光透過領域が、前記マスク板面上において、横方向及び縦方向に或る所定周期で繰り返される市松模様又はメッシュ状の開口部である請求項1記載のフォトマスク。

【請求項4】前記第2光透過領域の開口部が、露光装置を通して半導体基板上において $1\text{ }\mu\text{m}$ 以下の間隔で繰り返される形状に転写される請求項1記載のフォトマスク。

【請求項5】絶縁膜の形成された半導体基板の上において、前記絶縁膜の第1の領域を所定の大きさに開口すると共に、前記第1の領域と異なる箇所の第2の領域を短い周期で規則的に繰り返される複数の小さな開口部で開口する工程と、前記開口された第1、第2の領域に前記絶縁膜をマスクとして不純物をドープする工程と、前記絶縁膜を除去する工程と、前記ドープされた不純物に熱処理を加えて前記不純物を前記半導体基板内において拡散させ、不純物濃度を均一化させる工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項6】各開口部を、請求項1乃至請求項4記載のフォトマスクを用いて開口する請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOS型半導体装置の製造方法およびその製造に用いるフォトマスクに関する。

【0002】

【従来の技術】MOS型半導体集積回路装置の駆動速度を高速化するために、MOSFETのしきい値電圧を低くする方法が用いられる。しかし、しきい値電圧を低くするとMOSFETのOFF電流が増加するために、待機時の消費電力が増加することになる。この消費電力の増加を抑制するために、回路の一部のMOSFETのしきい値電圧を高くし、OFF電流を減少させるという方法が用いられている。

【0003】このように同じ導電型で異なるしきい値電圧をもつMOSFETを備えるMOS型半導体集積回路装置を製造するためには、それぞれ異なるしきい値電圧を有するMOSFETの領域ごとに基板の不純物濃度を変える必要がある。つまり、高いしきい値電圧のMOSFETの領域は基板の濃度を高くし、低いしきい値電圧

のMOSFETの領域は基板の濃度を低くするのである。

【0004】従来、このように同じ基板上で異なる不純物濃度を有する領域を形成するために、不純物注入を選択的に行えるマスクパターンを基板上の異なる領域に異なる工程で形成していた。まず、第1のフォトマスクを用いて基板上に塗布されたレジストを選択的に開口し、第1の基板濃度を有することになる領域に第1のイオン注入を行う。次に、第1のイオン注入で使用されたレジストを除去した後、再度第2のフォトマスクを用いて基板上に塗布されたレジストを選択的に開口し、第2の基板濃度を有することになる領域に第2のイオン注入を行う。

【0005】この従来の製造方法の一例を図を用いて説明する。異なる基板濃度をもつ領域を形成するために用いるフォトマスクのパターンを図4(a)、(b)に、そのパターンを用いて異なる基板濃度をもつ領域を形成する形成方法を図5(a)～(c)及び図6(a)～(c)の断面図に示す。図4(a)は高濃度Pウェル領域となる領域に、選択的にイオン注入するマスクパターンを形成するために用いられる第1のフォトマスク8のパターンの平面図であり、図4(b)は低濃度Pウェル領域となる領域に、選択的にイオン注入するパターンを形成するために用いられる第2のフォトマスク9のパターンの平面図である。第1のフォトマスク8と第2のフォトマスク9には、それぞれ矩形状光透過部2と矩形状光透過部7が遮光部4に囲まれる形でパターニングされているが、それらは互いに重なり合うことなく異なる領域に配置される。

【0006】次に、第1のフォトマスク8と第2のフォトマスク9を用いた製造方法を、図5及び図6で説明する。図5(a)は半導体基板11に素子分離のためのフィールド酸化膜12と、さらに、イオン注入のダメージを防ぐための酸化膜13が熱酸化により形成された状態を示している。つづいて、イオン注入のマスクとなるフォトレジスト14を塗布し、第1のフォトマスク8により露光を行い、図5(b)に示すように、高い基板濃度を有することになるPウェル領域上を開口する。この後、図5(c)に示すように、Pウェル領域の不純物濃度を決めるボロンイオン注入を例えれば、入力エネルギー300keV、ドーザ量 $3 \times 10^{13}\text{ atoms/cm}^2$ で行い、MOSFETのしきい値電圧を決めるボロンイオン注入を例えれば、入力エネルギー40keV、ドーザ量 $1 \times 10^{13}\text{ atoms/cm}^2$ で行う。

【0007】つづいて、フォトレジスト14を剥離し、再度、マスクとなるフォトレジスト15を塗布し、第2のフォトマスク9により露光を行い、図6(a)に示すように、低い基板濃度を有することになるPウェル領域上を開口する。高濃度Pウェル領域形成の時と同じように、図6(b)に示すように、Pウェル領域の不純物濃

度を決めるボロンイオン注入を例え、入力エネルギー 300 keV 、ドーズ量 $1 \times 10^{11}\text{ atoms/cm}^2$ で行い、MOSFETのしきい値電圧を決めるボロンイオン注入を例え、入力エネルギー 40 keV 、ドーズ量 $5 \times 10^{11}\text{ atoms/cm}^2$ で行う。

【0008】最後に、フォトレジスト15を剥離し、続いて不純物の活性化及び押込み拡散のための熱処理を例え、窒素雰囲気ならば 1100°C 、1時間施せば、図6(c)に示すような、高濃度Pウェル領域16と低濃度Pウェル領域17という異なる基板濃度をもつPウェル領域を形成することができる。ここでは、Pウェルの形成方法のみを示したが、CMOS回路を形成するためには、別の領域にN型イオン注入を同様の処理で行なえば、異なる基板濃度をもつNウェル領域を形成することができる。

【0009】

【発明が解決しようとする課題】上述のような従来のPウェル(又はNウェル)の製造方法では、異なる基板濃度をもつ領域ごとに異なったフォトマスク8、9を用いてイオン注入を行うために、リソグラフィー工程及びイオン注入工程に多くの工程を費やしており、拡散工程時間が長くかかると共に、製造コストも高くなり、拡散工期の短縮及びチップコストの低減の障壁となっていた。

【0010】本発明の目的は、異なる基板濃度をもつウェル領域を一度のイオン注入で形成できるフォトマスク及び半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明のフォトマスクの構成は、マスク板面上に、所定の大きさの開口部となる第1光透過領域と、この第1光透過領域よりも小さい光透過領域で、開口部が規則的に繰り返される小さい複数の開口部から成る第2光透過領域とのパターンを有することを特徴とする。

【0012】本発明の半導体装置の製造方法は、絶縁膜の形成された半導体基板の上において、前記絶縁膜の第1の領域を所定の大きさに開口すると共に、前記第1の領域と異なる箇所の第2の領域を短い周期で規則的に繰り返される複数の小さな開口部で開口する工程と、前記開口された第1、第2の領域に前記絶縁膜をマスクとして不純物をドープする工程と、前記絶縁膜を除去する工程と、前記ドープされた不純物に熱処理を加えて前記不純物を前記半導体基板内において拡散させ、不純物濃度を均一化させる工程と、から構成される。

【0013】

【発明の実施の形態】本発明の実施形態を図面を用いて説明する。図1は、本発明の一実施形態のイオン注入をフォトレジストをマスクとして選択的に行なうためのフォトマスク1のパターンの平面図である。本実施形態のフォトマスク1は、矩形状光透過部2とスリット状光透過部3とからなっている。

【0014】図1のフォトマスクを用いて行う半導体装置の製造方法を図2(a)～(d)を用いて説明する。まず、図2(a)に示すように、半導体基板11に素子分離のためのフィールド酸化膜12を形成し、さらにイオン注入のダメージを防ぐための酸化膜13を熱酸化により形成する。つづいて、イオン注入のマスクとなるフォトマスク14を塗布し、図1のフォトマスクを用いて露光を行う。図1には、高濃度Pウェル領域となるべき領域上のフォトマスクを感光させる矩形状光透過部2、低濃度Pウェル領域となるべき領域上のフォトマスクを感光させるスリット状光透過部3が示されている。

【0015】この図1のフォトマスク1のパターンが半導体基板上で転写された後のフォトマスクの様子を、図1のフォトマスクのパターン上を走るAA線に沿った断面図として示したものが図2(b)である。このフォトマスク1を用いた露光により、図2(b)に示すように、高濃度Pウェル領域となるべき領域上のフォトマスク14が開口されて矩形状開口部15が形成され、低濃度Pウェル領域となるべき領域上のフォトマスク14が部分的に開口されてスリット状開口部16が(例えば、スリットのライン幅及びスペース幅が、それぞれ $0.25\mu\text{m}$ 、 $0.25\mu\text{m}$)形成される。

【0016】つづいて、図2(c)に示すようにPウェル領域形成のためにボロンのイオン注入を、例え、注入エネルギー 300 keV 、ドーズ量 $3 \times 10^{11}\text{ atoms/cm}^2$ で行い、続いてMOSFETのしきい値電圧を決めるためにボロンのイオン注入を、例え、注入エネルギー 40 keV 、ドーズ量 $1 \times 10^{11}\text{ atoms/cm}^2$ で行う。その後、フォトマスク14を剥離し、注入されたボロンの活性化の熱処理を行うことで、図2(d)に示すような高濃度Pウェル領域17と低濃度Pウェル領域18という異なる基板濃度をもつ領域を同時に形成することができる。このとき、ボロンの活性化の熱処理は低濃度Pウェル領域18の基板濃度を均一化するために、例え、窒素雰囲気ならば 1100°C 、1時間施すのがよい。

【0017】図3(a)は、本発明の第2の実施形態となるフォトマスクのパターンの平面図であり、矩形状光透過部2と市松模様光透過部5とからなっている。ここで、市松模様光透過部5はフォトマスク上において、露光機を通して半導体基板上のフォトマスクに転写された後の形状として、例え、一辺が $0.25\mu\text{m}$ の長さを有する正方形の市松模様となるよう、パターニングされている。

【0018】更に、本発明の第3の実施形態となるフォトマスクのパターンは、図3(b)の平面図に示すように、矩形状光透過部2とメッシュ状光透過部6からなる。ここで、メッシュ状光透過部6はフォトマスク上において、露光機を通して半導体基板上のフォトマスク

に転写された後の形状として、例えば、一辺が 0.5 μm の長さを有する正方形のスペースと 0.2 μm の幅を有するラインとなるよう、パターニングされている。

【0019】第2の実施形態のフォトマスクパターン、第3の実施形態のフォトマスクのパターンを用いてウェル領域を形成する場合も、第1の実施形態のフォトマスクパターンを用いた場合と同様に、図2(a)～(d)に示す工程にて、異なる基板濃度をもつ領域を同時に形成することができる、という効果が得られる。

【0020】本実施形態による半導体装置の製造方法では、フォトリソグラフィー技術を用いてイオン注入を選択的に行うためのマスクパターンの形成を行ったが、フォトマスクを用いないで電子ビームによる直描等の他の方法により、フォトレジスト 14 上にスリット状、市松模様状、メッシュ状の開口部を形成してもよい。また、ここでは P ウェルの形成で説明を行ったが、N ウェルも P ウェルの製造方法と同様にして製造することができる。

【0021】

【発明の効果】以上のように、本発明によるフォトマスクを用いてウェル領域を形成する場合、半導体基板上にイオン注入を選択的に行うパターンとして、大きく開口したフォトレジストパターンの領域と、小さく開口したフォトレジストを一部除去したパターンの領域とを同時に形成できるため、異なる基板濃度をもつ領域を一度のイオン注入で形成できる、という大きな効果が得られる。また、従来よりも拡散工期が短く、しかも製造コストも下がり、チップコストを低減することができる、という効果も同時に得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体装置のウェル領域形成に用いられる、フォトマスクのパターンの平面

図である。

【図2】図1のフォトマスクパターンを用いて、高濃度 P ウェル領域と低濃度 P ウェル領域を同時に形成する工程を説明する半導体装置の断面図である。

【図3】本発明の第2、第3の実施形態のフォトマスクパターンの平面図である。

【図4】従来のウェル領域形成に用いられる、フォトマスクのパターンを示す平面図である。

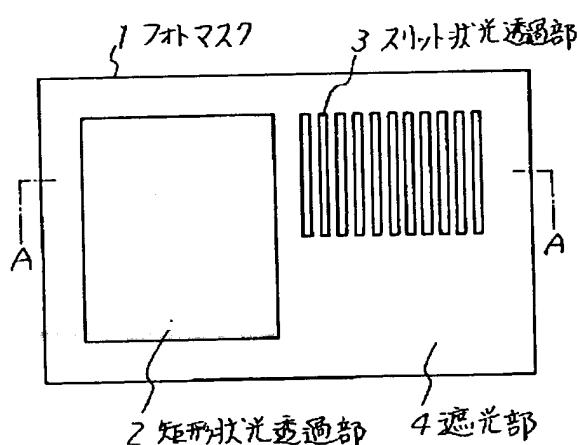
【図5】従来のフォトマスクパターンを用いて、高濃度 P ウェル領域と低濃度 P ウェル領域を別々に形成する工程を説明する半導体装置の断面図である。

【図6】従来のフォトマスクパターンを用いて、高濃度 P ウェル領域と低濃度 P ウェル領域を別々に形成する工程を説明する半導体装置の断面図である。

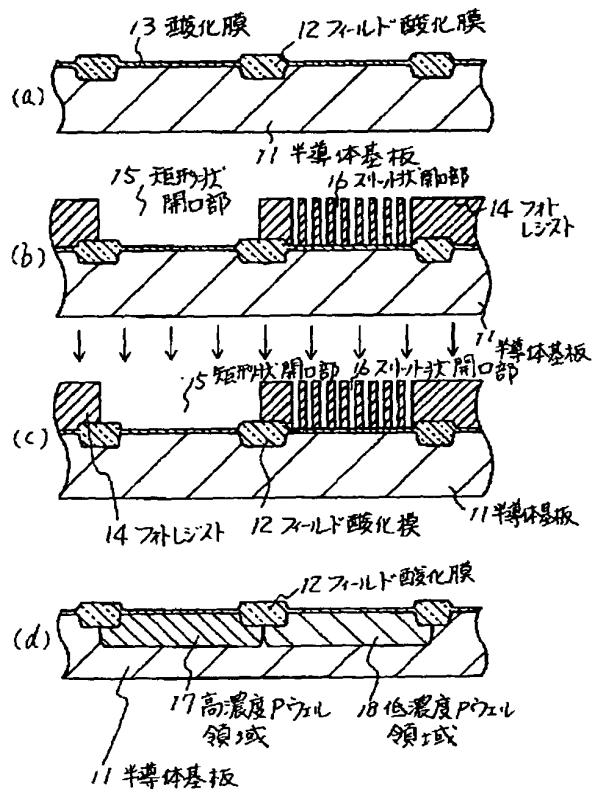
【符号の説明】

| | |
|-----|-------------|
| 1 | フォトマスク |
| 2、7 | 矩形状光透過部 |
| 3 | スリット状光透過部 |
| 4 | 遮光部 |
| 5 | 市松模様光透過部 |
| 6 | メッシュ状光透過部 |
| 8 | 第1のフォトマスク |
| 9 | 第2のフォトマスク |
| 11 | 半導体基板 |
| 12 | フィールド酸化膜 |
| 13 | 酸化膜 |
| 14 | フォトレジスト |
| 15 | 矩形状開口部 |
| 16 | スリット状開口部 |
| 17 | 高濃度 P ウェル領域 |
| 18 | 低濃度 P ウェル領域 |

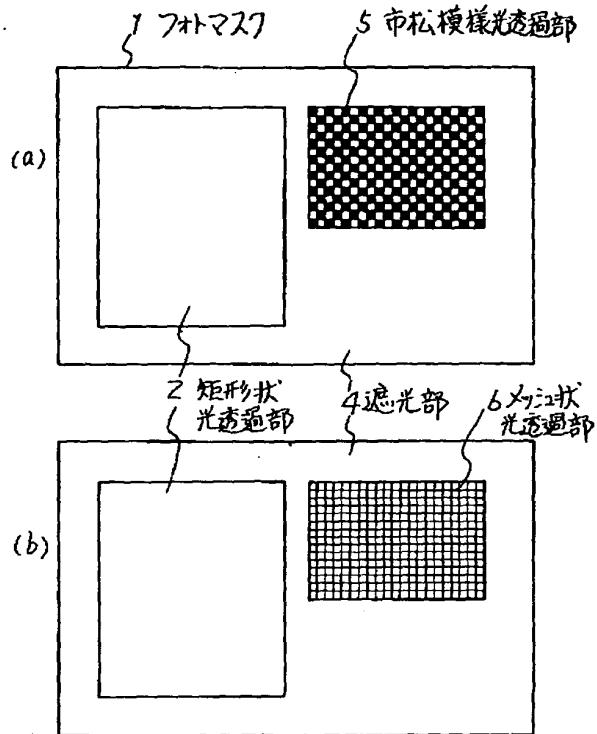
【図1】



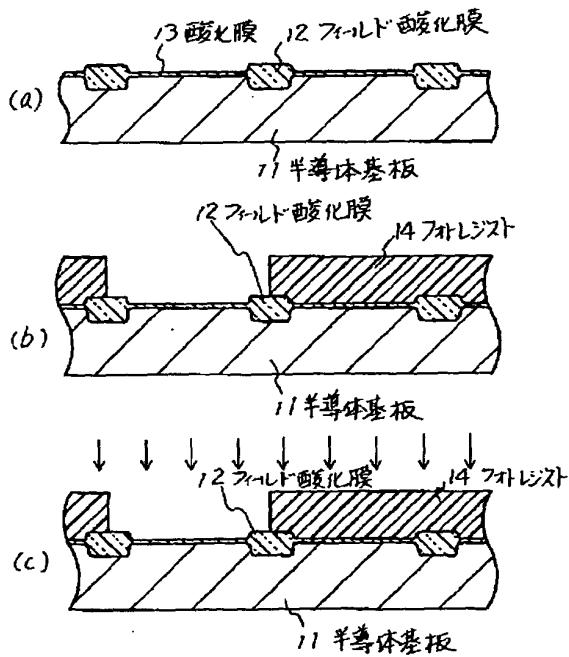
【図 2】



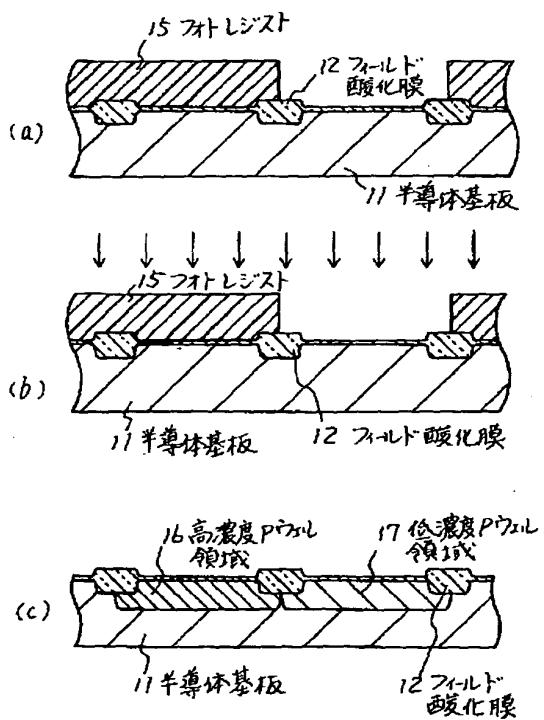
【図 3】



【図 5】



【図 6】



【図4】

